

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 35 564.9

Anmeldetag: 03. August 2002

Anmelder/Inhaber: ROBERT BOSCH GMBH,
Stuttgart/DE

Bezeichnung: Verfahren zum Überwachen eines Mikro-
prozessors und Schaltungsanordnung mit
einem Mikroprozessor

IPC: G 06 F 11/30

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wehner

84331378952

R.302901

26. Juli 2002 - ret/ml

ROBERT BOSCH GMBH, 70442 Stuttgart

Verfahren zum Überwachen eines Mikroprozessors
und Schaltungsanordnung mit einem Mikroprozessor

STAND DER TECHNIK

Die Erfindung betrifft ein Verfahren zur Überwachung eines Mikroprozessors sowie eine Schaltungsanordnung mit einem Mikroprozessor.

Es ist bekannt die Funktion eines Mikroprozessors, worunter im Sinne der Anmeldung auch Mikrokontroller verstanden werden, mit einem sogenannten Watchdog zu überwachen. Watchdogs sind dem Mikroprozessor zugeordnete Schaltungen, die kontrollieren, ob innerhalb eines Zeitintervalls vorgegebener Dauer vom Mikroprozessor ein Rücksetzimpuls erzeugt wird. Das periodische Erzeugen eines Rücksetzimpulses zeugt von der ordnungsgemäßen Funktion des Mikroprozessors. Beim Ausbleiben des Rücksetzimpulses wird ein Reset des Mikroprozessors durchgeführt, durch den der Mikroprozessor wieder in einen ordnungsgemäßen Zustand zurückgeführt werden soll.

Es ist beispielsweise aus der DE 43 30 940 A1 bekannt, die Funktion eines Watchdogs durch den Einsatz eines zweiten Watchdogs zu überprüfen. Hierzu wird alternierend einer der Watchdogs vom Mikroprozessor gestört und vom

Mikroprozessor überprüft, ob der andere Watchdog einen Alarm auslöst bzw. ein Reset erzeugen würde.

Ein Nachteil eines oben beschriebenen Watchdogs ist, dass er nicht geeignet ist, den Mikroprozessor auf eine zu hohe Taktfrequenz hin zu überwachen. Um wenigstens dieses Problem zu vermeiden ist aus der WO 97/32282 A1 ein modifizierter Watchdog bekannt, bei der das überwachte Zeitintervall nicht nur nach oben sondern auch nach unten begrenzt ist, so dass der Rücksetzimpuls bei ordnungsgemäßen Betrieb zwischen der unteren und der oberen Grenze des Zeitintervalls eintreffen muss. Ist die Taktfrequenz des Mikroprozessors zu hoch, so trifft der Rücksetzimpuls vor der unteren Intervallgrenze ein und ein Alarmsignal wird erzeugt.

Ein Nachteil des bekannten Standes der Technik ist, dass beide Maßnahmen einen erhöhten Bauaufwand und eine kompliziertere Struktur des Watchdogs zur Folge haben. Zum einen ist die Anordnung von zwei Watchdogs und ihrer gegenseitigen Überwachung ein erheblich erhöhter Bauaufwand. Zum anderen ist der Bauaufwand für einen modifizierten Watchdog, der in der Lage ist, sowohl eine obere als auch eine untere Grenze zu überwachen gegenüber einem nur eine obere Intervallgrenze überwachenden Watchdog wesentlich erhöht.

Aufgabe der Erfindung ist es demgegenüber, sowohl eine Überwachung der Funktion des Watchdogs als auch der Taktfrequenz des Mikroprozessors mit einem nicht modifizierten Watchdog zu ermöglichen.

VORTEILE DER ERFINDUNG

Beim erfindungsgemäßen Verfahren mit den Merkmalen des Anspruchs 1 und der erfindungsgemäßen Schaltungsanordnung mit den Merkmalen des Anspruchs 11 erfolgt das Überwachen

eines Mikroprozessors mittels einem zugeordneten Watchdog. Der Watchdog überwacht, ob Rücksetzimpulse innerhalb eines Zeitintervalls vorgegebener Dauer eintreffen. Bei Eintreffen des Rücksetzimpulses wird das Zeitintervall zurückgesetzt und neu gestartet. Bei Nichteintreffen von Rücksetzimpulsen wird ein Reset des Mikroprozessors veranlasst. Gemäß der Erfindung wird in geeigneten Betriebsphasen des Mikroprozessors eine Überprüfungsfunktion des Watchdogs aktiviert. Während der Ausführung der Überprüfungsfunktion wird zuerst ein Rücksetzen des Watchdogs und danach eine Folge von Warteschleifen, deren Dauer größer ist, als die Dauer des Zeitintervalls des Watchdogs ausgeführt.

Durch das zuerst erfolgende Rücksetzen des Watchdogs, mittels eines Rücksetzimpulses, wird ein definierter Startzustand des Watchdogs generiert. Durch das danach erfolgende Ausführen der Folge von Warteschleifen, wobei das Abarbeiten der Folge länger andauert als das Zeitintervall, wird bei funktionierendem Watchdog und nicht zu hoher Taktfrequenz des Mikroprozessors ein Resets durch den Watchdog erzeugt. Erfolgt das Reset, so werden weitere Schritte nicht mehr ausgeführt, der Mikroprozessor wird neu gestartet. Es können dann die bis zum Erreichen des geeigneten Betriebszustand ausgeführten Prozesse weiter fortgesetzt werden. Ist jedoch die Taktfrequenz so hoch, dass aufgrund der erhöhten Taktfrequenz die Warteschleife vor Ablauf des Zeitintervalls beendet wird, so liegt ein Defekt vor. Das Gleiche gilt für den Fall, dass aufgrund eines Defekts des Watchdogs das Erzeugen des Resets des Mikroprozessors nicht erfolgt. Gemäß vorteilhafter Ausgestaltung der Erfindung wird in diesem Fall eine Fehlermeldung generiert, so dass eine geeignete Maßnahme ergriffen werden kann.

Damit bei ordnungsgemäßem Betrieb des Mikroprozessors nicht ständig eine Überprüfungsfunktion ausgeführt wird, ist die Ausführung an das Vorliegen bestimmter geeigneter Betriebszustände geknüpft.

Von der Ausführung der Überprüfungsfunktion unabhängig kann die normale Funktion des Watchdogs ausgeführt werden. Das heißt insbesondere, dass durch den Watchdog der Mikroprozessor während seines normalen Betriebs auf das regelmäßige Erzeugen des Rücksetzimpulses innerhalb des Zeitintervalls überwacht und ein Reset des Mikroprozessors ausgeführt wird, wenn der Rücksetzimpuls ausbleibt.

Gemäß einer weiteren Ausgestaltung der Erfindung wird anfangs der Überprüfungsfunktion zunächst ein Zählerstand überprüft, der Zähler inkrementiert und die Überprüfungsfunktion nur in Abhängigkeit des Zählerstandes vorgenommen. So kann ein Zähler der Wortlänge von einem Bit vorgesehen sein und nur bei einem der beiden Zählerstände die Überprüfungsfunktion ausgeführt werden. Der Zählerstand kann dabei insbesondere auf einem nichtflüchtigen Speicher, wie einem EEPROM, abgelegt sein, damit der Zählerstand bei einem Reset des Prozessors nicht verloren geht. Diese Maßnahme ist besonders dann erforderlich, wenn das Starten des Betriebs des Mikroprozessors ein geeigneter Betriebszustand ist. In diesem Fall darf nach einem ordnungsgemäßen Reset des Mikroprozessors während der Ausführung der Folge von Warteschleifen nicht erneut eine Überprüfung gestartet werden, da sonst eine Endlosschleife entstehen kann. Nach einer oder einer bestimmten Anzahl von Ausführungen einer Überprüfungsfunktionen muss zu dem normalen Betrieb des Mikroprozessors zurückgekehrt werden.

Gemäß Ausgestaltungen der Erfindung ist es möglich, mehrere, insbesondere vier Zählerstände zu unterscheiden. Während jedes der ersten, insbesondere drei Zählerstände erfolgt die Ausführung einer Überprüfungsfunktion, bei dem letzten Zählerstand wird dann keine Überprüfungsfunktion mehr ausgeführt. Dabei kann der Zählerstand gleichzeitig auch ein Parameter sein, der in der Ausführung der Überprüfungsfunktion berücksichtigt wird. So kann die Dauer der Folge von Warteschleifen, also insbesondere die

Anzahl der Ausführungen der Warteschleife, in Abhängigkeit des Zählerstandes erfolgen. Wird die Dauer der Folge von Warteschleifen immer kürzer gewählt und bei der letzten Ausführung der Überprüfungsfunktion kürzer als die Dauer des Zeitintervalls, so kann auch zwischen den Fehlerquellen Fehlfunktion des Watchdogs und zu hoher Frequenz des Mikroprozessors unterschieden werden.

Eine Ausführungsform der Erfindung ist durch einen Speicherbaustein, wie einem ROM gegeben, die ein auf einem Mikroprozessor ausführbares Computerprogramm enthält, das zur Ausführung eines erfindungsgemäßen Verfahrens geeignet ist.

Eine Schaltungsanordnung gemäß der Erfindung sieht einen dem Mikroprozessor zugeordneten Watchdog zur Durchführung eines Resets des Mikroprozessors vor, sofern nicht innerhalb eines Zeitintervalls vorgegebener Dauer ein Rücksetzimpuls vom Mikroprozessor erzeugt wird und bei dem Watchdog eintrifft. Gemäß der Erfindung wird dem Watchdog ein anderer Takt zugeführt als dem Mikroprozessor. Darüber hinaus ist dem Mikroprozessor ein nichtflüchtiger Speicher, wie ein EEPROM, zugeordnet, in der ein Zählerstand eines Zählers abspeicherbar ist.

Dadurch, dass der Watchdog über einen vom Mikroprozessor unabhängigen, getrennten Takt verfügt, wird er in die Lage versetzt, bei der Ausführung einer Überprüfungsfunktion die Taktdauer zu überwachen. Da das Taktsignal des Watchdogs von dem Taktsignal des Mikroprozessors unabhängig ist, kann bei der Überwachung des Mikroprozessors eine zu hohe Taktfrequenz überwacht werden. Aufgrund der zu hohen Taktfrequenz des Mikroprozessors wird die Dauer der Folge von Warteschleifen beendet, bevor das korrekt gemessene Zeitintervall beendet wird.

Die vorliegende Erfindung kann bei allen Mikroprozessoren, die mittels eines externen Watchdogs überwacht werden, Verwendung finden. Insbesondere kann die Erfindung

im Zusammenhang mit Sensoren und Steuergeräten eines Kraftfahrzeuges verwendet werden. Als Beispiel seien hier die Drehraten- und Beschleunigungssensoren eines die Fahrzeugdynamik beeinflussenden Steuergerätes genannt. Die Erfindung ist aber keinesfalls auf solche Anwendungen alleine beschränkt.

ZEICHNUNG

Im übrigen ist die Erfindung auch anhand der in der Zeichnung dargestellten Ausführungsbeispiele näher erläutert, dabei zeigt:

Fig. 1: das Flussdiagramm eines ersten erfindungsgemäßen Verfahrens mit einer Überprüfungsfunktion;

Fig. 2: das Flussdiagramm eines zweiten erfindungsgemäßen Verfahrens mit mehreren voneinander verschiedenen Überprüfungsfunktionen; und

Fig. 3: die schematische Darstellung einer erfindungsgemäßen Schaltungsanordnung.

BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

Die Figuren 1 und 2 zeigen die Flussdiagramme erfindungsgemäßer Verfahren, die jeweils durch den Ablauf zugehöriger Überprüfungsfunktionen beschrieben sind. Das Verfahren nach Figur 1 weist dabei einen binären Zähler auf, während bei dem Verfahren nach Figur 2 der Zähler eine Länge von 2 Bit hat, also insgesamt 4 Zählerzustände un-

terscheidet. Das Verfahren gemäß der Figur 1 ist geeignet, eine Fehlfunktion des Watchdogs sowie eine zu hohe Taktfrequenz des Mikroprozessors zu erkennen, zwischen beiden Fehlern aber nicht zu unterscheiden. Demgegenüber ist es mittels des Verfahrens nach Figur 2 möglich, zwischen den einzelnen Fehlerursachen zu unterscheiden.

In der Figur 1 ist das Flussdiagramm einer Überprüfungsfunktion eines erfindungsgemäßen Verfahrens zur Überwachung eines Mikroprozessors dargestellt. Der in der Fig. 1 dargestellte Ablauf der Überprüfungsfunktion wird ausgeführt, wenn ein geeigneter Betriebszustand des Mikroprozessors vorliegt. Dies ist insbesondere dann der Fall, wenn der Mikroprozessor gestartet wird. Auch andere geeignete Zustände können definiert sein. Geeignete Zustände sind zumindest die Betriebszustände, in denen ein Reset des Mikroprozessors ohne Störung der Arbeitsprozesse des Mikroprozessors erfolgen kann. Es sind dies insbesondere die Zeitpunkte geringer anderweitiger Auslastung des Mikroprozessors.

Im Schritt 101 des Verfahrens wird zunächst ein Reset des Mikroprozessors, bei dem es sich auch um einen Mikrocontroller handeln kann, durchgeführt. Der Reset wird im ersten Schritt des Verfahrens deshalb durchgeführt, weil sich der Mikroprozessor beim Start befindet, er also initialisiert wird. Wird auch eine andere Betriebsphase als der Start des Prozessors als geeignete Betriebsphase erkannt, so kann der Schritt 101 zu Beginn der Überprüfungsfunktion unterbleiben und der Schritt 102 direkt durchgeführt werden. Danach wird zum Schritt 102 übergegangen. Im Schritt 102 wird der Zählerstand des Zählers aus dem nichtflüchtigen Speicher ausgelesen.

Anschließend wird im Schritt 103 geprüft, ob der Zählerstand den Wert "0" hat. Ist dies nicht der Fall, so wird zum Schritt 109 gesprungen, der Zählerstand wird auf den Wert "0" gesetzt und dann in dem nichtflüchtigen Speicher abgespeichert.

Wird im Schritt 103 festgestellt, dass der Zählerstand den Wert "0" hat so wird der Schritt 104 ausgeführt. Im Schritt 104 wird zunächst der Zählerstand inkrementiert. Er hat dann den Wert "1" und wird in dem nichtflüchtigen Speicher abgespeichert. Anschließend wird gemäß dem Schritt 105 ein Rücksetzimpuls für den Watchdog generiert. Dadurch wird der Watchdog zurückgesetzt, das heißt das Zeitintervall, innerhalb dessen der nächste Rücksetzimpuls eintreffen muss, wird bei Null neu gestartet. Anschließend wird gemäß dem Schritt 106 eine Folge von Warteschleifen gestartet. Die Folge von Warteschleifen enthält dabei so viele Warteschleifen, dass die Ausführung der Folge von Warteschleifen bei normaler Taktrate länger dauert als das Zeitintervall des Watchdogs. Die Anzahl der Warteschleifen kann dabei vorzugsweise so gewählt werden, dass die Dauer der Ausführung bei nur geringfügig oberhalb der oberen Toleranzgrenze liegender Taktrate unterhalb dem Zeitintervall liegt.

Ist der Watchdog in Ordnung und die Taktrate des Mikroprozessors innerhalb des Toleranzbereichs, so stellt er während der Ausführung des Schrittes 106 die Überschreitung des Zeitintervalls fest, ein Reset des Mikroprozessors wird veranlasst, so dass durch den Watchdog ein Sprung des Mikroprozessors zum Schritt 101 erzwungen wird, dies ist durch die gestrichelte Linie dargestellt. Die Schritte 107 bis 109 werden nicht ausgeführt. Nachdem der Zähler im Schritt 104 auf "1" gesetzt wurde wird bei der nächsten Abfrage im Schritt 103 festgestellt, dass der Zählerstand von "0" verschieden ist und so direkt zum Schritt 109 gesprungen, die Überprüfungsfunktion an sich wird nicht tatsächlich ausgeführt.

Wird das Überschreiten des Zeitintervalls während des Schrittes 106 nicht festgestellt, so wird zum Schritt 107 weitergegangen. Im Schritt 107 wird zunächst ein Rücksetzimpuls ausgesendet, damit ein etwaiges zu spät erfolgendes Reset durch den Watchdog vor Ausführen der näch-

sten Schritte verhindert wird. Dies wäre dann der Fall, wenn der Watchdog ordnungsgemäß funktioniert, der Mikroprozessor aber mit einer Taktrate oberhalb der Toleranz betrieben wird. Im Schritt 108 wird anschließend eine Fehlermeldung generiert, die entsprechend verarbeitet werden kann. Anschließend wird zum Schritt 109 gesprungen.

Im Schritt 109 wird der Zählerstand des Zählers wieder auf "0" gesetzt bzw. inkrementiert. Bei einem binären Zähler der Länge 1 Bit entspricht das inkrementieren um "1" einem Rücksetzen des Zählers, da der Zählerstand, gleich auf welchem Weg der Schritt 109 erreicht wurde, zuvor "1" betragen hat. Weist der Zähler eine größere Wortlänge auf so kann durch normales inkrementieren der Zählerstand erhöht werden. Weist der Zähler beispielsweise eine Wortlänge von 4 Bit auf, so wird der Zählerstand "0" durch Überlauf der Wortlänge nur jedes sechzehnte Mal erreicht. Die Überprüfungsfunktion wird dann nicht bei jedem geeigneten Zustand ausgeführt, sondern entsprechend seltener.

Die Figur 2 zeigt ein Verfahren, bei dem drei sich in der Anzahl der in der Folge von Warteschleifen ausgeführten Warteschleifen unterscheidende Überprüfungsfunktionen ausgeführt werden. Dabei wird über den Zählerstand bestimmt, welche Überprüfungsfunktion ausgeführt wird. Ansonsten entsprechen die Verfahrensschritte 210 bis 215, 220 bis 225 und 230 bis 235 der drei verschiedenen Überprüfungsfunktionen einander und sie entsprechen im wesentlichen auch den Schritten 104 bis 108 des Überprüfungsverfahrens der Fig. 1.

Der hier verwendete Zähler kann beispielsweise eine Wortlänge von zwei Bit haben, er unterscheidet also die Zählerstände 0, 1, 2 und 3.

Entsprechend dem zu Fig. 1 gesagten, wird im Schritt 201 zunächst ein Reset des Mikroprozessors durchgeführt, der

ggf. auch unterbleiben kann. Anschließend wird gemäß dem Schritt 102 der Zählerstand aus dem nichtflüchtigen Speicher ausgelesen. In Schritt 103 erfolgt eine Sprungverzweigung in Abhängigkeit des Zählerstandes. Ist der Zählerstand "0", "1" bzw. "2" so wird zum Schritt 210, 220 bzw. 230 gesprungen, die jeweils der Beginn einer Überprüfungsfunktion sind. Bei dem Zählerstand "3" wird zu dem Schritt 204 gesprungen, der die Auswertung der Ergebnisse der Überprüfungsfunktion einleitet.

Wird vom Schritt 203 aufgrund des Vorliegen des Zählerstandes "0" zum Schritt 210 gesprungen, so wird gemäß dem Schritt 210 zunächst der Zählerstand auf "1" inkrementiert. Er hat dann den Wert "1". Dieser Wert wird im nichtflüchtigen Speicher abgespeichert. Beim nächsten Aufruf einer Überprüfungsfunktion wird also vom Schritt 203 zum Schritt 220 gesprungen werden.

Anschließend wird gemäß dem Schritt 211 der Wert eines ersten Parameters A auf "0" gesetzt und ebenfalls in einem nichtflüchtigen Speicher abgespeichert. Dann wird gemäß dem Schritt 212 ein Rücksetzimpuls des Watchdogs erzeugt. Anschließend wird gemäß dem Schritt 213 eine Folge von Warteschleifen ausgeführt. Die Anzahl der Warteschleifen ist dabei so gewählt, dass die Folge von Warteschleifen nur dann vor dem Ablauf des Zeitintervalls beendet ist, wenn die Taktrate einen Wert derart weit oberhalb der Solltaktrate aufweist, dass eine ordnungsgemäße Funktion des Mikroprozessors nicht mehr vorliegen kann. Dies kann beispielsweise eine Taktrate im Bereich des Doppelten oder Fünffachen der Solltaktrate sein und ist vom entsprechenden Mikroprozessor und seiner Verwendung abhängig. Derartige Taktraten treten im Betrieb eines Mikroprozessors nicht auf, nur im Falle eines defekten Watchdogs wird ein Reset nicht vor dem Erreichen des Endes der Folge von Warteschleifen durchgeführt.

Ist der Watchdog funktionsfähig, so wird von dem Watchdog ein Reset des Mikroprozessors erzwungen, indem zum

Schritt 201 gesprungen wird. Dieser Sprung ist in der Zeichnung mit der gestrichelten Linie dargestellt.

Andernfalls wird zum Schritt 214 zunächst ein Rücksetzimpuls für den Watchdog erzeugt, damit ein unerwünschtes, verspätetes Reset des Mikroprozessors vermieden wird. Anschließend wird gemäß dem Schritt 215 der Wert des Parameters A geändert, er nimmt nun den Wert "1" an und wird in dem nichtflüchtigen Speicher abgespeichert. Es wird dann zum Schritt 202 gesprungen.

Da nunmehr der Wert des Zählers "1" beträgt wird nachfolgend vom Schritt 203 zum Schritt 220 gesprungen. Im Schritt 220 wird zunächst der Zähler auf "2" inkrementiert und der Wert im nichtflüchtigen Speicher abgespeichert. Gemäß dem Schritt 221 wird nun der Parameter B auf "0" gesetzt und im nichtflüchtigen Speicher abgespeichert. Gemäß dem Schritt 222 wird dann ein Rücksetzimpuls für den Watchdog generiert.

Gemäß dem Schritt 223 wird dann eine Folge von Warteschleifen ausgeführt. Dabei ist die Anzahl der Warteschleifen so gewählt, dass die Dauer der Ausführung der Folge von Warteschleifen bei einer nur geringfügig oberhalb der oberen Grenze des Toleranzbereichs, beispielsweise 10% oberhalb des Sollwerts, der Taktrate des Mikroprozessors liegenden Taktrate das Zeitintervall unterschreitet. Ist die Taktrate des Mikroprozessors geringer als die obere Grenze des Toleranzbereichs, so erfolgt, ordnungsgemäße Funktion vorausgesetzt, ein Reset durch den Watchdog, vor dem Ende der Ausführung der Folge von Warteschleifen, so dass zum Schritt 201 zurückgesprungen wird.

Andernfalls wird gemäß dem Schritt 224 ein Rücksetzimpuls generiert und anschließend gemäß dem Schritt 225 der Parameter B auf "1" gesetzt und dieser Wert abgespeichert. Es wird dann zum Schritt 202 gesprungen.

Gemäß dem Schritt 202 wird der Zählerstand, nunmehr "2" ausgelesen und dann im Schritt 203 zum Schritt 230 gesprungen. Im Schritt 230 wird zunächst der Zähler auf "3" inkrementiert und der Wert im nichtflüchtigen Speicher abgespeichert. Im Schritt 231 wird nun der Parameter C auf "0" gesetzt und im nichtflüchtigen Speicher abgespeichert. Gemäß dem Schritt 232 wird dann ein Rücksetzimpuls für den Watchdog generiert.

Gemäß dem Schritt 233 wird dann eine Folge von Warteschleifen ausgeführt. Dabei ist die Anzahl der Warteschleifen so gewählt, dass die Dauer der Ausführung der Folge von Warteschleifen bei einer nur geringfügig unterhalb der unteren Grenze des Toleranzbereichs, beispielsweise 10% unterhalb des Sollwerts, der Taktrate des Mikroprozessors liegender Taktrate das Zeitintervall überschreitet. Ist die Taktrate des Mikroprozessors geringer als die untere Grenze des Toleranzbereichs, so erfolgt, ordnungsgemäße Funktion vorausgesetzt, ein Reset durch den Watchdog, vor dem Ende der Ausführung der Folge von Warteschleifen, so dass zum Schritt 201 zurückgesprungen wird.

Andernfalls wird gemäß dem Schritt 234 ein Rücksetzimpuls generiert und anschließend gemäß dem Schritt 235 der Parameter C auf "1" gesetzt und dieser Wert abgespeichert. Anschließend wird zum Schritt 202 gesprungen.

Beim nächsten Erreichen des Schrittes 203 liegt der in Schritt 202 ausgelesene Zählerstand bei "3". Es wird keine weitere Überprüfungsfunktion ausgeführt sondern eine Auswertung vorgenommen. Hierzu wird vom Schritt 203 zum Schritt 204 gesprungen. Gemäß dem Schritt 204 werden die Werte der Parameter A,B,C also ein 3 Bit langes Datenwort ausgelesen. Es wird dann im Schritt 205 in Abhängigkeit des Wertes des Datenwortes auf eine ordnungsgemäße Funktion oder eine Störung und deren Art gemäß der Tabelle

Parameterwert			Zustandsmeldung	
A	B	C	Watchdog	Taktrate Mikroprozessor
0	0	1	In Ordnung	In Ordnung
0	0	0	In Ordnung	zu langsam
0	1	1	In Ordnung	zu schnell
1	1	1	Defekt	

geschlossen. Eine entsprechende Fehlermeldung wird erzeugt. Anschließend wird gemäß dem Schritt 206 der Zählerstand wieder auf "0" zurückgesetzt und das Verfahren zur Überwachung ist beendet. Es können nun je nach erzeugter Zustandsmeldung entsprechende Maßnahmen ergriffen werden bzw. der Mikroprozessor kann andere Prozesse ausführen oder, soweit diese zur Ausführung der Überprüfung unterbrochen wurden, wieder fortsetzen.

Gemäß dem Verfahren nach Fig. 2 kann also mit einem Watchdog, der lediglich das Überschreiten eines oberen Grenzwertes eines Zeitintervalls erfasst nicht nur eine zu langsame Taktrate sondern auch eine zu hohe Taktrate des Mikroprozessors erfasst werden. Auch kann die Art eines vorliegenden Fehlers festgestellt werden. Auch die Funktion des Watchdogs kann mit dem Verfahren überprüft werden und von anderen Fehlern auch unterschieden werden.

Die Fig. 3 zeigt in schematischer Darstellung eine Schaltungsanordnung 10 gemäß der Erfindung. Die Schaltungsanordnung wird aus einem Mikroprozessor 11, ein einen Teil des Mikroprozessors bildenden, nichtflüchtigen Speicher 12 und dem Watchdog 13 gebildet. Der Speicher 12 dient dem Abspeichern des Zählerstandes und ggf. dem Abspeichern von Parametern. Dem Mikroprozessor ist der Watchdog 13 zugeordnet. Der Watchdog 13 ist als einfacher lediglich das Überschreiten eines vorgegebenen Zeitintervalls zwischen zwei Rücksetzimpulsen überwachender Watchdog

ausgebildet. Dem Mikroprozessor wird das Taktsignal T1 zugeführt, während dem Watchdog 13 ein davon getrenntes Taktsignal T2 zugeführt wird. Der Watchdog 13 und der Mikroprozessor 11 sind über die Datenleitung 14 miteinander verbunden. Über die Datenleitung 14 wird ein vom Mikroprozessor 11 generierter Rücksetzimpuls an den Watchdog gesendet. Auch die Übermittlung des den Reset bewirkenden Befehls von dem Watchdog 13 an den Mikroprozessor 11 erfolgt über die Datenleitung 14. Hierzu kann die Datenleitung 14 auch 2 Einzelleitungen aufweisen.

R.302901

26. Juli 2002 - ret/ml

ROBERT BOSCH GMBH, 70442 Stuttgart

Verfahren zum Überwachen eines Mikroprozessors
und Schaltungsanordnung mit einem Mikroprozessor

ANSPRÜCHE

1. Verfahren zum Überwachen eines Mikroprozessors mittels einem zugeordneten Watchdog, wobei der Watchdog das Eintreffen von Rücksetzimpulsen innerhalb eines Zeitintervalls vorgegebener Dauer überwacht und bei Nicht-eintreffen von Rücksetzimpulsen ein Reset des Mikroprozessors veranlasst, dadurch gekennzeichnet, dass in geeigneten Betriebsphasen des Mikroprozessors (11) wenigstens eine Überprüfungsfunktion des Watchdogs (13) ausgeführt wird, wobei jede Überprüfungsfunktion ein Rücksetzen des Watchdogs (13) und das Ausführen einer Folge von Warteschleifen umfasst, wobei die Dauer der Ausführung der Folge von Warteschleifen wenigstens einer Überprüfungsfunktion größer ist, als die Dauer des Zeitintervalls.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass dann, wenn bis zum Ablauf der Folge von Warteschleifen ein Reset des Mikroprozessors (11) durch den Watchdog (13) nicht erfolgt ist, eine Fehlermeldung generiert wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass mit dem Ausführen der Überprüfungsfunktion ein Zähler inkrementiert wird, wobei die Ausführung der Überprüfungsfunktion vom Zählerstand abhängig ist.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass bei einem Zählerstand eine Überprüfungsfunktion durchgeführt wird und bei anderen Zählerständen die Überprüfungsfunktion übersprungen wird, wobei vorzugsweise der Zähler alternierend zwei Zählerstände einnimmt.

5. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass der Zähler mehrere, insbesondere vier Zählerstände aufweist, wobei bei einem Zählerstand eine Auswertung erfolgt, während bei den anderen Zählerständen jeweils eine Überprüfungsfunktion ausgeführt wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass in Abhängigkeit von dem Zählerstand eine Variable der Überprüfungsfunktion, vorzugsweise die Dauer der Folgen von Warteschleifen, insbesondere durch Verändern der in der Folge enthaltenen Anzahl von Warteschleifen, verändert wird.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass die Dauer der Folge von Warteschleifen mit jeder aufeinanderfolgenden Ausführung der Überprüfungsfunktion verringert wird, wobei sie vorzugsweise beim letzten Ausführen vor dem Überspringen der Überprüfungsfunktion geringer ist als Zeitintervall des Watchdogs (13).

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anzahl der Warteschleifen in der Folge von Warteschleifen bei wenigstens einer Ausführung der Überprüfungsfunktion so gewählt wird, dass die Dauer der Ausführung der Folge von Warteschleifen bei nur geringfügig oberhalb der oberen Toleranzgrenze liegender Taktrate unterhalb dem Zeitintervall liegt.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass eine geeignete Betriebsphase wenigstens das Einschalten des Mikroprozessors (11) ist.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Watchdog (13) ein von dem Taktsignal des Mikroprozessors (T1) verschiedenes Taktsignal (T2) zugeführt wird.

11. Schaltungsanordnung mit einem Mikroprozessor und einer dem Mikroprozessor zugeordneten Watchdog zur Durchführung eines Resets des Mikroprozessors, soweit nicht innerhalb eines Zeitintervalls vorgegebener Dauer ein Rücksetzimpuls eintrifft, dadurch gekennzeichnet, dass dem Watchdog (13) ein anderer Takt (T2) zugeführt wird, als dem Mikroprozessor (11) und dass dem Mikroprozessor (11) ein nichtflüchtiger Speicher (12) zugeordnet ist, wobei in dem nichtflüchtigen Speicher (12) wenigstens der Zählerstand eines Zähler abgespeichert ist.

12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, dass der nichtflüchtige Speicher (12) ein EEPROM ist und vorzugsweise Teil des Mikroprozessors (11) ist.

13. Schaltungsanordnung nach einem der Ansprüche 11 oder 12, dadurch gekennzeichnet, dass mit der Schaltungsanordnung (10) ein Verfahren nach einem der Ansprüche 1 bis 10 ausführbar ist.

14. Speicherbaustein, insbesondere Read-Only-Memory, mit einem auf einem Mikroprozessor (11) ausführbaren Computerprogramm, das zur Durchführung eines Verfahrens gemäß der Ansprüche 1 bis 10 geeignet ist.

R.302901

26. Juli 2002 - ret/ml

ROBERT BOSCH GMBH, 70442 Stuttgart

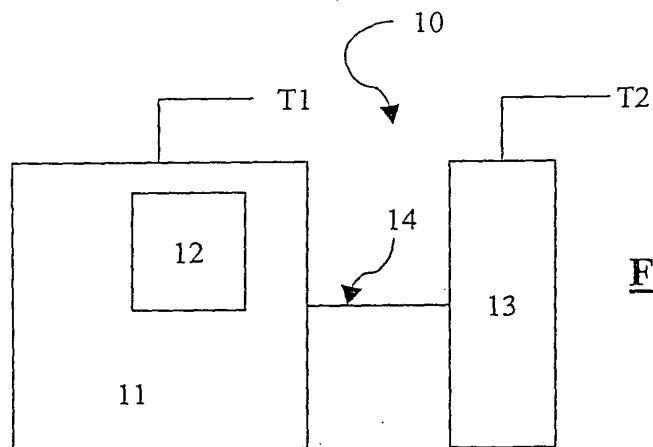
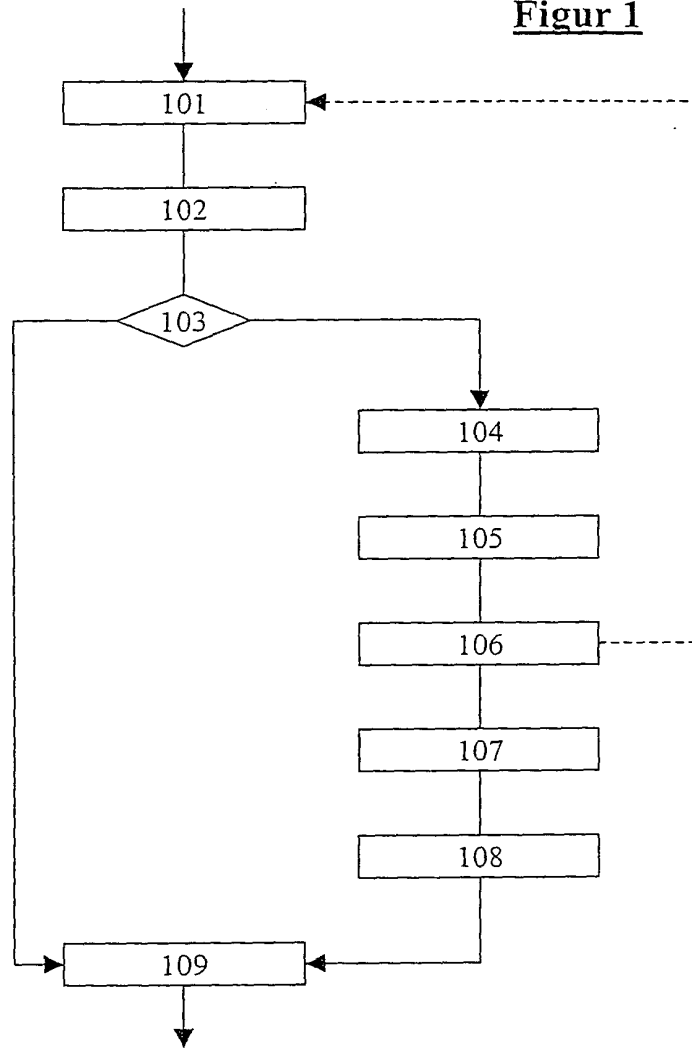
Verfahren zum Überwachen eines Mikroprozessors
und Schaltungsanordnung mit einem Mikroprozessor

ZUSAMMENFASSUNG

Die Erfindung betrifft ein Verfahren zur Überwachung eines Mikroprozessors sowie eine Schaltungsanordnung mit einem Mikroprozessor.

Das Überwachen eines Mikroprozessors erfolgt mittels einem zugeordneten Watchdog. Der Watchdog überwacht, ob Rücksetzimpulse innerhalb eines Zeitintervalls vorgegebener Dauer eintreffen. Bei Eintreffen des Rücksetzimpulses wird das Zeitintervall zurückgesetzt und neu gestartet. Bei Nichteintreffen von Rücksetzimpulsen wird ein Reset des Mikroprozessors veranlasst. Gemäß der Erfindung wird in geeigneten Betriebsphasen des Mikroprozessors eine Überprüfungsfunktion des Watchdogs aktiviert. Während der Ausführung der Überprüfungsfunktion wird zuerst ein Zurücksetzen des Watchdogs und danach eine Folge von Warteschleifen, deren Dauer größer ist, als die Dauer des Zeitintervalls des Watchdogs ausgeführt.

(Figur 3)

Figur 1**Figur 3**

Figur 2